

報告番号	※甲	第	号
------	----	---	---

主 論 文 の 要 旨

論文題目 Studies on Design Automation and Arithmetic Circuit
Design for Single-Flux-Quantum Digital Circuits
(単一磁束量子デジタル回路のための設計自動化及び
算術演算回路設計に関する研究)

氏 名 小畑 幸嗣

論 文 内 容 の 要 旨

超伝導単一磁束量子 (SFQ) 回路技術は、高速性、低消費電力性などから、次世代集積回路技術として注目を集めている。本論文では、SFQ デジタル回路のための設計自動化アルゴリズムと、最も重要な算術演算回路の一つである乗算器の設計を提案する。

1 章では、本論文の背景と概要について述べる。SFQ デジタル回路では、パルス論理値の情報担体として用い、CMOS デジタル回路とは異なる論理値の表現法が行われる。そのため、SFQ デジタル回路に向けた設計自動化アルゴリズムや算術演算回路の構造は、CMOS デジタル回路の場合とは異なったものとなる。また、現在、SFQ 回路の設計は、多くの部分を手作業で行っている。SFQ デジタル回路の研究を進展させるには、高性能な回路を体系的に設計できる設計自動化アルゴリズムの研究、SFQ 算術演算回路に適した回路構成の研究が重要である。

2 章では、SFQ 回路と、SFQ デジタル回路での論理値の表現法について述べる。SFQ 回路は、ジョセフソン接合とインダクタンスから構成されている。SFQ デジタル回路における論理値の表現法として、次の二つの方法が用いられている。一つは、論理値の 1 を表す信号線と 0 を表す信号線を用いる「二線式」であり、もう一つは、同期クロックを用いる「クロック同期式」である。

3 章では、二線式 SFQ デジタル回路のための、新たな論理合成手法を提案する。論理関数の表現法として、二分決定グラフを基にした有向非巡回グラフである、根共有型二分決定グラフ (RSBDD) を提案する。提案手法では、まず、与えられた論理関数から RSBDD を構成する。続いて、変数順序の並べ替えを行い、RSBDD

の節点数を削減する。最後に、RSBDDから二線式回路を合成する。提案手法を実装し、ベンチマーク回路を合成した。トランスダクション法に基づく手法に比べて、平均27.1%少ない論理素子で回路を合成することができた。

4章では、クロック同期式SFQデジタル回路のための、クロックスケジューリングアルゴリズムを提案する。クロック同期式SFQデジタル回路では、すべての論理ゲートはクロックパルスで駆動される。そのため、クロックスケジューリングを行うことにより、回路の性能を向上させることができる。提案アルゴリズムは、与えられたクロック周期に対して、クロックパルスの到着時間と挿入すべき遅延を計算する。実験結果から、提案アルゴリズムは、直感的な手法と比べて、平均59.0%少ない遅延と40.4%低いクロック木で回路を構成することができた。また、提案手法はクロック周期の最小化にも用いることができ、平均19.0%短いクロック周期を達成することができた。

5章では、クロック同期式SFQデジタル回路のための順序回路の構成法を提案する。クロック同期式SFQデジタル回路では、すべての論理ゲートがクロックパルスによって駆動されるため、CMOSデジタル回路と同様の順序回路の構成法では、SFQ回路の高スループット性を引き出すことができない。提案手法では、Dフリップフロップ (DFF) といくつかのANDによって構成される「状態モジュール」を用いる。まず、順序機械の状態をone-hot状態割り当てでエンコードする。続いて、状態モジュールを、エンコードした状態に一つずつ割り当て、状態遷移に応じて、状態モジュール間を接続する。状態モジュールの接続には、クロックが必要ない合流ゲートである、Confluence Buffer (CB) を用いる。このようにすると、フィードバックループからクロックが必要なゲートが排除され、高スループットなSFQ順序回路が構成される。ベンチマーク回路に対する実験結果から、通常のCMOS回路向けの構成法と比べて、平均4.9倍高い周波数で動作する回路が平均17.3%のゲート数の増加で合成できた。

6章では、クロック同期式SFQデジタル回路のために、シストリックアレイ構造の整数乗算器を提案する。シストリックアレイとは、VLSIのための回路構造であり、規則的に並んだプロセッシングエレメント (PE) から構成される。評価のために、4ビットの提案乗算器と、もっとも一般的な並列乗算器である配列型乗算器を設計し、二つの乗算器を比較した。提案乗算器の回路面積は配列型乗算器の約半分であり、乗算の実行時間は約1.5倍であった。大規模乗算器の性能を見積もったところ、ビット数が大きくなった場合、提案乗算器は非常に小さい回路面積で配列型乗算器と同等の乗算の実行時間となった。提案乗算器の1ビットPEをNEC社のNb標準プロセスを用いて試作し、低速試験で正常に動作することを確認した。

7章では、まとめと今後の課題について述べる。設計自動化アルゴリズムの研究を通じて得られた多くの知見は、今後のSFQデジタル回路向け計算機援用設計

(CAD) システムの研究の基礎となるものである。SFQ 回路に向けたアルゴリズムや手法を開発することにより、高性能な SFQ デジタル回路を設計することができることを示している。また、シストリック乗算器の研究を通じて得られた結果は、SFQ 算術演算回路を設計する際に有用な知見となるものである。シストリック構造を採用することにより、小面積で高速な演算回路を設計することができることを示している。